

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-202823

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G05F 3/26

G05F 3/24

(21)Application number : 2000-401486

(71)Applicant : NEC CORP

(22)Date of filing : 28.12.2000

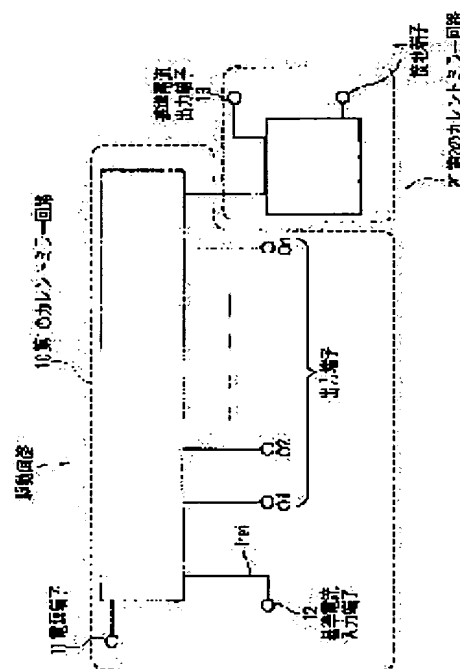
(72)Inventor : NISHITOBA SHIGEO

(54) DRIVING CIRCUIT AND CONSTANT-CURRENT DRIVING DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive driving circuit which can reduce the variation of output current between adjacent driving circuits, and to provide a constant-current driving device which uses the circuit.

SOLUTION: This circuit is equipped with a 1st current mirror circuit 10 which outputs multiple output currents corresponding to an inputted reference current and a 2nd current mirror circuit 20 which outputs the output current of the final stage of the 1st current mirror 10 after converting its polarity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-202823

(P2002-202823A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl.⁷

G 0 5 F 3/26
3/24

識別記号

F I

G 0 5 F 3/26
3/24

ターマート* (参考)

5 H 4 2 0

A

審査請求 未請求 請求項の数16 O L (全 18 頁)

(21) 出願番号 特願2000-401486(P2000-401486)

(22) 出願日 平成12年12月28日 (2000.12.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

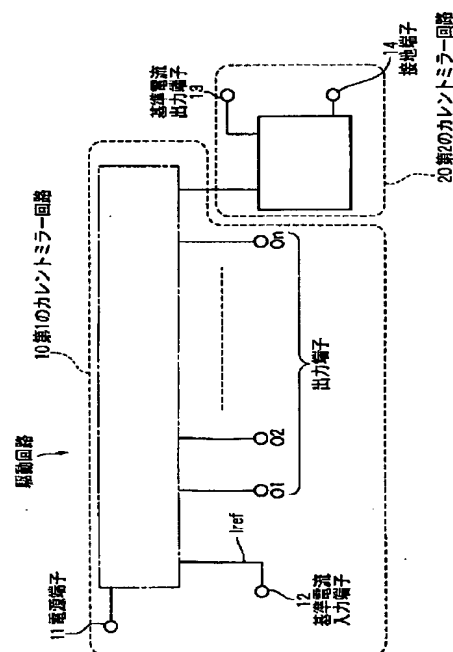
Fターム(参考) 5H420 NA32 NB03 NB18 NB24 NB33
NB36

(54) 【発明の名称】 駆動回路及びこれを用いた定電流駆動装置

(57) 【要約】

【課題】隣接する駆動回路間での出力電流のバラツキを小さくできる安価な駆動回路及びこれを用いた定電流駆動装置を提供する。

【解決手段】入力された基準電流に応じた複数の出力電流を出力する第1のカレントミラー回路10と、この第1のカレントミラー回路10の最終段の出力電流の極性を交換して出力する第2のカレントミラー回路20、とを備えている。



【特許請求の範囲】

【請求項 1】 入力された基準電流に応じた複数の出力電流を出力する第 1 のカレントミラー回路と、前記第 1 のカレントミラー回路の最終段の出力電流の極性を変換して出力する第 2 のカレントミラー回路、とを備えた駆動回路。

【請求項 2】 前記第 1 のカレントミラー回路は、基準電流を設定するための基準電流入力端子と、電源が供給される電源端子と、前記基準電流入力端子と前記電源端子との間に設けられ、出力電流を決定する第 1 回路と、複数の出力端子と、前記電源端子から数延された共通電源ラインと前記複数の出力端子との間に設けられ、前記第 1 回路で決定された出力電流を出力する複数の第 2 回路と、前記複数の第 2 回路の次段に設けられ、前記第 1 回路で決定された出力電流を出力する第 3 回路、とを備えた請求項 1 に記載の駆動回路。

【請求項 3】 前記第 2 のカレントミラー回路は、前記第 1 のカレントミラー回路に含まれる第 3 回路からの出力電流の極性を変換して出力する基準電流出力端子を備えた、請求項 2 に記載の駆動回路。

【請求項 4】 前記第 1 のカレントミラー回路に含まれる第 1 回路、第 2 回路及び第 3 回路は PNP トランジスタから構成され、前記第 2 のカレントミラー回路は NPN トランジスタから構成されている請求項 3 に記載の駆動回路。

【請求項 5】 前記第 1 回路及び前記第 2 のカレントミラー回路の少なくとも 1 つにベース電流補償回路を備えている、請求項 4 に記載の駆動回路。

【請求項 6】 前記第 1 のカレントミラー回路に含まれる第 1 回路、第 2 回路及び第 3 回路は P チャンネル MOS トランジスタから構成され、前記第 2 のカレントミラー回路は N チャンネル MOS トランジスタから構成されている請求項 3 に記載の駆動回路。

【請求項 7】 前記電源端子は、該電源端子から数延された前記共通電源ラインの中央部から引き出されている請求項 1 乃至 6 の何れか 1 項に記載の駆動回路。

【請求項 8】 前記電源端子は、該電源端子から数延された前記共通電源ラインの複数箇所から引き出されている請求項 1 乃至 6 の何れか 1 項に記載の駆動回路。

【請求項 9】 前記第 1 のカレントミラー回路は、基準電流を設定するための基準電流入力端子と、グランドに接続される接地端子と、前記基準電流入力端子と前記接地端子との間に設けられ、出力電流を決定する第 1 回路と、複数の出力端子と、前記接地端子から数延された共通接地ラインと前記複数の出力端子との間に設けられ、前記第 1 回路で決定され

た出力電流を出力する複数の第 2 回路と、前記複数の第 2 回路の次段に設けられ、前記第 1 回路で決定された出力電流を出力する第 3 回路、とを備えた請求項 1 に記載の駆動回路。

【請求項 10】 前記第 2 のカレントミラー回路は、前記第 1 のカレントミラー回路に含まれる第 3 回路からの出力電流の極性を変換して出力する基準電流出力端子を備えた、請求項 9 に記載の駆動回路。

【請求項 11】 前記第 1 のカレントミラー回路に含まれる第 1 回路、第 2 回路及び第 3 回路は NPN トランジスタから構成され、前記第 2 のカレントミラー回路は PNP トランジスタから構成されている請求項 10 に記載の駆動回路。

【請求項 12】 前記第 1 回路及び前記第 2 のカレントミラー回路の少なくとも 1 つにベース電流補償回路を備えている、請求項 11 に記載の駆動回路。

【請求項 13】 前記第 1 のカレントミラー回路に含まれる第 1 回路、第 2 回路及び第 3 回路は N チャンネル MOS トランジスタから構成され、前記第 2 のカレントミラー回路は P チャンネル MOS トランジスタから構成されている請求項 10 に記載の駆動回路。

【請求項 14】 前記接地端子は、該接地端子から数延された前記共通接地ラインの中央部から引き出されている請求項 9 乃至 13 の何れか 1 項に記載の駆動回路。

【請求項 15】 前記接地端子は、該接地端子から数延された前記共通接地ラインの複数箇所から引き出されている請求項 8 乃至 12 の何れか 1 項に記載の駆動回路。

【請求項 16】 請求項 1 乃至 15 の何れか 1 項に記載の駆動回路を複数備え、1 つの駆動回路の前記基準電流出力端子は、該駆動回路に隣接する他の駆動回路の基準電流入力端子に接続されている、定電流駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、駆動回路及びこれを用いた定電流駆動装置に関する。

【0002】

【従来の技術】従来、定電流で負荷を駆動するために、カレントミラー回路から構成される駆動回路が用いられている。図 15 は、このような従来の駆動回路の一例を示す。この駆動回路は、カレントミラー回路と基準電流設定抵抗 R とから構成されている。

【0003】カレントミラー回路は、複数の PNP トランジスタ $T_{r0} \sim T_{rn}$ から構成されている。このカレントミラー回路では、電源端子及び各 PNP トランジスタ $T_{r0} \sim T_{rn}$ は、物理的に図 15 に示す位置、つまり、PNP トランジスタ T_{r0} が物理的に電源に一番近い位置に配置され、PNP トランジスタ T_{rn} が物理的に電源から一番遠い位置に配置されているものとする。

【0004】複数の PNP トランジスタ $T_{r0} \sim T_{rn}$

の各々のベースは相互に接続され、エミッタは共通電源ラインで電源端子に共通に接続され、コレクタは出力端子 $O1 \sim On$ にそれぞれ接続されている。このカレントミラー回路の初段の PNP トランジスタ $Tr0$ のベースはコレクタに接続され、所謂ダイオード結合がなされている。

【0005】このカレントミラー回路は、PNP トランジスタ $Tr0$ のコレクタに流れる電流と略等しい電流を、PNP トランジスタ $Tr1 \sim Trn$ のコレクタに流し、出力電流として出力端子 $O1 \sim On$ から出力する。これにより、独立した電位にある負荷が電流駆動される。初段の PNP トランジスタ $Tr0$ のコレクタは基準電流設定抵抗 R を介して接地されている。

【0006】この基準電流設定抵抗 R により、PNP トランジスタ $Tr0$ のコレクタに流す基準電流 I_{ref} を調整できる。従って、基準電流設定抵抗 R の値を適宜選択することにより、出力端子 $O1 \sim On$ に所望の大きさの電流を流し、以て定電流駆動が必要な負荷を駆動できるようになっている。このような従来の駆動回路は、例えば 1 個の半導体集積回路 (IC) として構成される。

【0007】ところで、定電流駆動が必要な負荷として、多数の発光ダイオード (以下、「LED」という) を配列して形成された LED ディスプレイパネルや有機化合物のエレクトロルミネッセンス (以下、「EL」という) 現象を利用する多数の有機 EL 素子を配列して形成された有機 EL ディスプレイパネル等が知られている。

【0008】これらのディスプレイパネルでは発光素子として多数の LED や有機 EL が使用されることから、1 個の駆動回路 (IC) で定電流駆動装置を構成することができない。そこで、一般に、ディスプレイパネルを構成する多数の発光素子は複数の駆動回路で分割して駆動される。

【0009】この場合、各駆動回路の出力端子から出力される出力電流が不均一であると、発光素子の発光量にバラツキが生じ、ディスプレイパネルに表示むらが発生する。そこで、各駆動回路の出力端子から出力される出力電流が一定になるように、各駆動回路に設けられた基準電流設定抵抗 R の抵抗値を調整して基準電流を一定にすることが行われている。

【0010】このように、従来の駆動回路は、抵抗値を調整することにより独立にカレントミラー回路の入力電流を設定する方式が採用されるので、複数の駆動回路を用いて、ディスプレイパネルを定電流駆動する場合、各駆動回路の基準電流のバラツキを小さく抑えることは困難である。

【0011】そこで、このよう問題を解消するために、特開 2000-293245 号公報は、「定電流駆動装置及び定電流駆動半導体集積回路」を開示している。この定電流駆動装置では、EL ディスプレイパネルの有機

EL 素子を定電流で駆動するために、複数の定電流ドライバ IC が使用される。

【0012】各定電流ドライバ IC には、定電流ドライバ回路及び制御回路を内蔵している。定電流ドライバ IC には基準電流発生回路が内蔵されており、基準抵抗に基づいて発生される基準出力電流を基準端子から導出する。各定電流ドライバ IC の基準電流入力端子には、基準電流発生回路から出力される基準出力電流を入力し、出力端子からそれぞれ同一電流値の駆動電流を出力する。駆動電流は、各制御回路によってオン又はオフに制御される。

【0013】この構成により、複数の定電流ドライバ IC を用いて多数の負荷を、定電流ドライバ IC 間の出力電流のバラツキが小さい状態で駆動できる。

【0014】

【発明が解決しようとする課題】しかしながら、多数の出力端子を有するカレントミラー回路から構成される駆動回路の場合、カレントミラー回路の共通電源ラインのインピーダンスに起因して、出力端子の位置により電流比がずれる。図 16 は、カレントミラー回路の配線抵抗と電流比のズレの関係を示す。

【0015】この図 16 から理解できるように、カレントミラー回路の配線抵抗の値が大きくなるほど、つまりセル (トランジスタ) の位置が電源端子から遠くなるほど電流比のズレが大きくなる。その結果、電源端子の近くに配置されたトランジスタで駆動される発光素子の輝度と電源端子から遠い位置に配置されたトランジスタで駆動される発光素子の輝度とに差が生じる。

【0016】従って、図 17 (A) に示すように、4 個の駆動回路でディスプレイパネルの発光素子を駆動する場合を考えると、各駆動回路の出力電流は、図 17 (B) の実線で示すように、電源端子から遠くなるに従って小さくなる。その結果、図 17 (B) の A に示すように、1 つの駆動回路の終端側の出力端子からの出力電流と隣接する駆動回路の始端側の出力端子からの出力電流との差が大きくなる。その結果、1 つの駆動回路で駆動される発光素子と隣接する駆動回路で駆動される発光素子との境界における輝度差が明瞭に現れて画質が著しく低下する。

【0017】なお、図 17 (B) 中の破線は、駆動回路の製造プロセスに起因する電気的特性のバラツキに基づく出力電流のバラツキを表している。このバラツキは、理論的には基準電流設定抵抗 R の値を適宜選択することにより基準電流を適当に選べば解消できるが、実際には、上述したように、基準電流のバラツキを小さく抑えることは困難である。

【0018】このような問題を解消するためには、即ち、図 16 の特性線の傾きを小さくするためには、共通電源ラインのインピーダンスを小さくする必要がある。このためには、共通電源ラインの幅を太くしたり、複数

の電源端子を設ける必要がある。また、カレントミラー回路の基準電流のバラツキを小さくするためには、トリミング等を行ったり、駆動回路を構成する半導体集積回路をウェハ単位で管理する必要がある。これらは、駆動回路を半導体集積回路で構成する場合、コストアップの要因になる。

【0019】そこで、本発明の目的は、隣接する駆動回路間での出力電流のバラツキを小さくできる安価な駆動回路及びこれを用いた定電流駆動装置を提供することにある。

【0020】

【課題を解決するための手段】本発明の第1の態様に係る駆動回路は、上記目的を達成するために、入力された基準電流に応じた複数の出力電流を出力する第1のカレントミラー回路と、前記第1のカレントミラー回路の最終段の出力電流の極性を変換して出力する第2のカレントミラー回路、とを備えている。

【0021】この駆動回路は、電流吐き出し型として構成できる。この場合、前記第1のカレントミラー回路は、基準電流を設定するための基準電流入力端子と、電源が供給される電源端子と、前記基準電流入力端子と前記電源端子との間に設けられ、出力電流を決定する第1回路と、複数の出力端子と、前記電源端子から数延された共通電源ラインと前記複数の出力端子との間に設けられ、前記第1回路で決定された出力電流を出力する複数の第2回路と、前記複数の第2回路の次段に設けられ、前記第1回路で決定された出力電流を出力する第3回路、とから構成し、前記第2のカレントミラー回路は、前記第1のカレントミラー回路に含まれる第3回路からの出力電流の極性を変換して出力する基準電流出力端子を備えるように構成できる。

【0022】より具体的には、この駆動回路を、前記第1のカレントミラー回路に含まれる第1回路、第2回路及び第3回路はPNPトランジスタから構成し、前記第2のカレントミラー回路はPNPトランジスタから構成することができる。この場合、前記第1回路及び前記第2のカレントミラー回路の少なくとも1つにベース電流補償回路を備えるように構成できる。

【0023】或いは、この駆動回路は、前記第1のカレントミラー回路に含まれる第1回路、第2回路及び第3回路はPチャンネルMOSトランジスタから構成し、前記第2のカレントミラー回路はNチャンネルMOSトランジスタから構成することができる。

【0024】以上のような電流吐き出し型の駆動回路の前記電源端子は、該電源端子から数延された前記共通電源ラインの中央部から引き出すように構成できる。或るいは、前記電源端子は、該電源端子から数延された前記共通電源ラインの複数箇所から引き出すように構成できる。

【0025】また、本発明の駆動回路は、電流吸い込み

型として構成できる。この場合、前記第1のカレントミラー回路は、基準電流を設定するための基準電流入力端子と、グラウンドに接続される接地端子と、前記基準電流入力端子と前記接地端子との間に設けられ、出力電流を決定する第1回路と、複数の出力端子と、前記接地端子から数延された共通接地ラインと前記複数の出力端子との間に設けられ、前記第1回路で決定された出力電流を出力する複数の第2回路と、前記複数の第2回路の次段に設けられ、前記第1回路で決定された出力電流を出力する第3回路、とを備え、前記第2のカレントミラー回路は、前記第1のカレントミラー回路に含まれる第3回路からの出力電流の極性を変換して出力する基準電流出力端子を備えるように構成できる。

【0026】より具体的には、この駆動回路を、前記第1のカレントミラー回路に含まれる第1回路、第2回路及び第3回路はPNPトランジスタから構成し、前記第2のカレントミラー回路はPNPトランジスタから構成することができる。この場合、前記第1回路及び前記第2のカレントミラー回路の少なくとも1つにベース電流補償回路を備えるように構成できる。

【0027】或いは、この駆動回路を、前記第1のカレントミラー回路に含まれる第1回路、第2回路及び第3回路はNチャンネルMOSトランジスタから構成し、前記第2のカレントミラー回路はPチャンネルMOSトランジスタから構成することができる。

【0028】以上のような電流吸い込み型の駆動回路の前記接地端子は、該接地端子から数延された前記共通接地ラインの中央部から引き出すように構成できる。或いは、前記接地端子は、該接地端子から数延された前記共通接地ラインの複数箇所から引き出すように構成できる。

【0029】また、本発明の第2の態様に係る定電流駆動装置は、上述した駆動回路を複数備え、1つの駆動回路の前記基準電流出力端子は、該駆動回路に隣接する他の駆動回路の基準電流入力端子に接続されて構成されている。

【0030】

【発明の実施の形態】以下、本発明の実施の形態に係る駆動回路及び定電流駆動装置を、図面を参照しながら詳細に説明する。

【0031】（実施の形態1）本発明の実施の形態1に係る駆動回路は、出力端子から電流を流出する電流吐き出し型のカレントミラー回路をバイポーラトランジスタで構成したものである。

【0032】図1は、本発明の実施の形態1に係る駆動回路の構成を示すブロック図である。この駆動回路は、第1のカレントミラー回路10と第2のカレントミラー20とから構成されている。

【0033】第1のカレントミラー10は、電源端子11、基準電流入力端子12及び出力端子O1～On（n

10

20

30

40

50

は2以上の整数)を備えている。この第1のカレントミラー回路10は、基準電流入力端子12に供給される入力電流 I_{ref} に応じた出力電流を出力端子O1~Onから出力する。また、第1のカレントミラー回路10からの出力電流の1つは第2のカレントミラー回路20に供給される。

【0034】第2のカレントミラー回路20は、第1のカレントミラー回路10からの出力電流の極性を交換し、基準電流出力端子13から出力する。この第2のカレントミラー回路20には接地端子14が設けられている。

【0035】図2は、上述した駆動回路の詳細な回路構成を示す図である。第1のカレントミラー回路10は、複数のPNPトランジスタ $Tr0 \sim Trn+1$ から構成されている。PNPトランジスタ $Tr0$ は本発明の第1回路に対応し、複数のPNPトランジスタ $Tr1 \sim Trn$ は本発明の複数の第2回路に対応し、PNPトランジスタ $Trn+1$ は本発明の第3回路に対応する。

【0036】この第1のカレントミラー回路10では、電源端子11及び各PNPトランジスタ $Tr0 \sim Trn+1$ は、物理的に図2に示す位置、つまり、PNPトランジスタ $Tr0$ が物理的に電源に一番近い位置に配置され、PNPトランジスタ $Trn+1$ が物理的に電源から一番遠い位置に配置されている。

【0037】複数のPNPトランジスタ $Tr0 \sim Trn+1$ の各々のベースは相互に接続され、エミッタは電源端子11から敷延された共通電源ライン16で共通に接続されている。この第1のカレントミラー回路10の初段のPNPトランジスタ $Tr0$ のベースはコレクタに接続され、所謂ダイオード結合がなされている。

【0038】最終段のトランジスタ $Trn+1$ のコレクタは第2のカレントミラー回路20に接続されている。中間のPNPトランジスタ $Tr1 \sim Trn$ のコレクタは、出力端子O1~Onにそれぞれ接続されている。

【0039】第2のカレントミラー回路20は、NPNトランジスタ Tra とNPNトランジスタ Trb とから構成されている。NPNトランジスタ Tra のベースはコレクタに接続され、所謂ダイオード結合がなされている。このNPNトランジスタ Tra のエミッタは接地端子14に接続されている。また、NPNトランジスタ Trb のベースはNPNトランジスタ Tra のベースに、コレクタは基準電流出力端子13にそれぞれ接続され、エミッタは接地されている。

【0040】このNPNトランジスタ Trb には、NPNトランジスタ Tra と略同じ大きさの電流が流れる。この場合、NPNトランジスタ Trb に流れる電流の方向は、NPNトランジスタ Tra に流れる電流の方向と同じである。従って、NPNトランジスタ Trb は電流を吸い込むように作用するので、極性が反転するように変換される。

【0041】次に、以上のように構成される駆動回路をN個(Nは2以上の整数)接続して定電流駆動装置を構成する場合の例を説明する。

【0042】図3は、N個の駆動回路がシリアルに接続された定電流駆動装置の構成を示すブロック図である。初段の第1の駆動回路1₁の基準電流入力端子12は、基準電流設定抵抗Rを介して接地されている。この基準電流設定抵抗Rにより、第1の駆動回路1₁の第1カレントミラー回路10に含まれる初段のPNPトランジスタ $Tr0$ のコレクタに流れる基準電流 I_{ref} が決定される。従って、基準電流設定抵抗Rの値を適宜選択することにより、第1の駆動回路1₁の出力端子O1~Onから所望の大きさの出力電流を得ることができる。

【0043】この第1の駆動回路1₁の基準電流出力端子14は、次段の第2の駆動回路1₂の基準電流入力端子12に接続されている。以下、同様にして、各駆動回路が順次接続され、最終段の第Nの駆動回路1_Nの基準電流出力端子14は無接続である。

【0044】以上のように構成される定電流駆動装置においては、例えば第1の駆動回路1₁の出力端子Onから吐き出される電流の大きさと基準電流出力端子14から吸い込む電流の大きさは略等しく、且つ、第2の駆動回路1₂の基準電流入力端子12から吐き出される電流の大きさと出力端子O1から吐き出される電流の大きさは略等しい。従って、第1の駆動回路1₁の出力端子Onから吐き出される出力電流の大きさと第2の駆動回路1₂の出力端子O1から吐き出される出力電流の大きさは略等しくなる。

【0045】即ち、図3(B)に示すように、第1の駆動回路1₁と第2の駆動回路1₂との境目の出力電流の大きさは略等しくなる。他の駆動回路についても同様であり、隣接する駆動回路の境目の出力電流の大きさは略等しくなる。従って、この定電流駆動装置をディスプレイパネルに適用した場合に、1つの駆動回路で駆動される発光素子と隣接する駆動回路で駆動される発光素子との境界における輝度差は殆どなく、高質な画像が得られる。

【0046】(実施の形態2)本発明の実施の形態2に係る駆動回路は、実施の形態1に係る駆動回路における第1及び第2のカレントミラー回路に、ベース電流補償回路を設けたものである。

【0047】図4は、この実施の形態2に係る駆動回路の構成を示す回路図である。この駆動回路では、第1のカレントミラー回路10aは、実施の形態1に係る駆動回路の第1のカレントミラー回路10に、ベース電流補償回路としてPNPトランジスタ Trx が追加されることにより構成されている。

【0048】PNPトランジスタ Trx のベースはPNPトランジスタ $Tr0$ のコレクタに、エミッタはPNPトランジスタ $Tr0$ のベースにそれぞれ接続され、コレ

クタは接地端子14に接続されている。

【0049】上述した実施の形態1に係る駆動回路では、電流増幅率 h_{fe} の大きなトランジスタでは、ベース電流はコレクタ電流に比べて充分小さいから、ベース電流を無視して基準電流 I_{ref} =コレクタ電流 I_c としている。しかし、ベース電流を無視できない場合は、このトランジスタ Tr_x から構成されるベース電流補償回路を追加することにより、コレクタ電流 I_c を基準電流 I_{ref} に近づけることができる。

【0050】また、第2のカレントミラー回路20aは、実施の形態1に係る駆動回路の第2のカレントミラー回路20に、ベース電流補償回路としてNPNトランジスタ Tr_y が追加されることにより構成されている。

【0051】NPNトランジスタ Tr_y のベースはNPNトランジスタ Tr_a のコレクタに、エミッタはNPNトランジスタ Tr_a のベースにそれぞれ接続され、コレクタは第2電源端子15に接続されている。第2電源端子15には、NPNトランジスタ Tr_a のベース電流を補償するのに好適な電源が供給される。

【0052】このNPNトランジスタ Tr_y から構成されるベース電流補償回路を追加することにより、上述したように、ベース電流を無視できない場合であっても、NPNトランジスタ Tr_a のコレクタ電流 I_c を基準電流 I_{ref} に近づけることができる。

【0053】以上説明したように、この実施の形態2に係る駆動回路によれば、基準電流入力端子12に流れる電流と出力端子01~0nから出力される出力電流とを高精度で一致させると共に、第1のカレントミラー回路10aの最終段のPNPトランジスタ Tr_{n+1} のコレクタに流れる電流と基準電流出力端子13に流れる電流とを高精度で一致させることができるので、正確な電流制御が可能になる。

【0054】なお、上述した実施の形態2では、第1のカレントミラー回路10a及び第2カレントミラー回路20aの双方にベース電流補償回路を設ける構成としたが、図5に示すように、第2のカレントミラー回路20aだけにベース電流補償回路を設けるように構成してもよい。或いはまた、図6に示すように、第1のカレントミラー回路10aだけにベース電流補償回路を設けるように構成することもできる。

【0055】(実施の形態3)本発明の実施の形態3に係る駆動回路は、出力端子から電流を吸い込む電流吸い込み型のカレントミラー回路をバイポーラトランジスタで構成したものである。なお、以下では、実施の形態1に相当する部分には実施の形態1と同じ符号を付して説明する。

【0056】図7は、本発明の実施の形態3に係る駆動回路の詳細な回路構成を示す図である。この駆動回路は、第1のカレントミラー回路10bと第2のカレントミラー20bとから構成されている。

【0057】第1のカレントミラー回路10bは、複数のNPNトランジスタ $Tr_0 \sim Tr_{n+1}$ から構成されている。NPNトランジスタ Tr_0 は本発明の第1回路に対応し、複数のNPNトランジスタ $Tr_1 \sim Tr_n$ は本発明の複数の第2回路に対応し、NPNトランジスタ Tr_{n+1} は本発明の第3回路に対応する。

【0058】この第1のカレントミラー回路10bでは、接地端子14及び各NPNトランジスタ $Tr_0 \sim Tr_{n+1}$ は、物理的に図7に示す位置、つまり、NPNトランジスタ Tr_0 が物理的に接地端子14に一番近い位置に配置され、NPNトランジスタ Tr_{n+1} が物理的に接地端子14から一番遠い位置に配置されている。

【0059】複数のNPNトランジスタ $Tr_0 \sim Tr_{n+1}$ の各々のベースは相互に接続され、エミッタは接地端子14から数延された共通接地ライン17で共通に接続されている。この第1のカレントミラー回路10bの初段のNPNトランジスタ Tr_0 のベースはコレクタに接続され、所謂ダイオード結合がなされている。

【0060】最終段のトランジスタ Tr_{n+1} のコレクタは第2のカレントミラー回路20bに接続されている。中間のNPNトランジスタ $Tr_1 \sim Tr_n$ のコレクタは、出力端子01~0nにそれぞれ接続されている。

【0061】第2のカレントミラー回路20bは、PNPトランジスタ Tr_a とPNPトランジスタ Tr_b とから構成されている。PNPトランジスタ Tr_a のベースはコレクタに接続され、所謂ダイオード結合がなされている。このPNPトランジスタ Tr_a のエミッタは電源端子11に接続されている。また、PNPトランジスタ Tr_b のベースはPNPトランジスタ Tr_a のベースに、コレクタは基準電流出力端子13に、エミッタは電源端子11にそれぞれ接続されている。

【0062】このPNPトランジスタ Tr_b には、PNPトランジスタ Tr_a と略同じ大きさの電流が流れる。この場合、PNPトランジスタ Tr_b に流れる電流の方向は、PNPトランジスタ Tr_a に流れる電流の方向と同じである。従って、PNPトランジスタ Tr_b は電流を吐き出すように作用するので、極性が反転するように変換される。

【0063】上記のように構成される駆動回路の動作は、PNPトランジスタがNPNトランジスタに入れ替わったことを除けば、実施の形態1に係る駆動回路の動作と同じである。

【0064】この実施の形態3に係る駆動回路によれば、電流を吐き出すタイプの発光素子を駆動できる。また、上述した実施の形態1と同様に、この駆動回路を複数使用して構成された定電流駆動装置をディスプレイパネルに適用した場合に、1つの駆動回路で駆動される発光素子と隣接する駆動回路で駆動される発光素子との境界における輝度差は殆どなく、高質な画像が得られる。

【0065】(実施の形態4)本発明の実施の形態4に

係る駆動回路は、実施の形態3に係る駆動回路における第1及び第2のカレントミラー回路に、ベース電流補償回路を設けたものである。

【0066】図8は、この実施の形態4に係る駆動回路の構成を示す回路図である。この駆動回路では、第1のカレントミラー回路10cは、実施の形態3に係る駆動回路の第1のカレントミラー回路10bに、ベース電流補償回路としてNPNトランジスタ T_{rx} が追加されることにより構成されている。

【0067】NPNトランジスタ T_{rx} のベースはNPNトランジスタ T_{r0} のコレクタに、エミッタはNPNトランジスタ T_{r0} のベースにそれぞれ接続され、コレクタは第2電源端子15に接続されている。第2電源端子15には、NPNトランジスタ T_{r0} のベース電流を補償するのに好適な電源が供給される。

【0068】上述した実施の形態3に係る駆動回路では、 h_{FE} の大きなトランジスタでは、ベース電流はコレクタ電流に比べて充分小さいから、ベース電流を無視して基準電流 $I_{REF} = \text{コレクタ電流} I_C$ としている。しかし、ベース電流を無視できない場合は、このNPNトランジスタ T_{rx} から構成されるベース電流補償回路を追加することにより、NPNトランジスタ T_{r0} のコレクタ電流 I_C を基準電流 I_{REF} に近づけることができる。

【0069】また、第2のカレントミラー回路20cは、上述した実施の形態3に係る駆動回路の第2のカレントミラー回路20bに、ベース電流補償回路としてPNPトランジスタ T_{ry} が追加されることにより構成されている。

【0070】PNPトランジスタ T_{ry} のベースはPNPトランジスタ T_{ra} のコレクタに、エミッタはPNPトランジスタ T_{ra} のベースにそれぞれ接続され、コレクタは接地端子14に接続されている。

【0071】このPNPトランジスタ T_{ry} から構成されるベース電流補償回路を追加することにより、上述したように、ベース電流を無視できない場合であっても、コレクタ電流 I_C を基準電流 I_{REF} に近づけることができる。

【0072】以上説明したように、この実施の形態4に係る駆動回路によれば、基準電流入力端子12に流れる電流と出力端子O1～Onから出力される出力電流とを高精度で一致させると共に、第1のカレントミラー回路10cの最終段のNPNトランジスタ T_{rn+1} のコレクタに流れる電流と基準電流出力端子13に流れる電流とを高精度で一致させることができるので、正確な電流制御が可能になる。

【0073】なお、上述した実施の形態4では、第1のカレントミラー回路10c及び第2カレントミラー回路20cの双方にベース電流補償回路を設ける構成としたが、図9に示すように、第2のカレントミラー回路20cだけにベース電流補償回路を設けるように構成しても

よい。或いはまた、図10に示すように、第1のカレントミラー回路20cだけにベース電流補償回路を設けるように構成してもよい。

【0074】（実施の形態5）本発明の実施の形態5に係る駆動回路は、出力端子から電流を吐き出す電流吐き出し型のカレントミラー回路をMOSトランジスタで構成したものである。なお、以下では、実施の形態1に相当する部分には実施の形態1と同じ符号を付して説明する。

【0075】図11は、本発明の実施の形態5に係る駆動回路の詳細な回路構成を示す図である。この駆動回路は、第1のカレントミラー回路10dと第2のカレントミラー回路20dとから構成されている。

【0076】第1のカレントミラー回路10dは、基準電流入力端子12に供給される入力電流 I_{REF} に応じた出力電流を出力端子O1～Onから出力する。また、第1のカレントミラー回路10dからの出力電流の1つは第2のカレントミラー回路20dに供給される。第2のカレントミラー回路20dは、第1のカレントミラー回路10dからの出力電流の極性を変換し、基準電流出力端子13から出力する。

【0077】より詳しくは、第1のカレントミラー回路10dは、複数のPチャンネルMOSトランジスタ（以下、「PMOSTランジスタ」という） $T_{r0} \sim T_{rn+1}$ から構成されている。PMOSTランジスタ T_{r0} は本発明の第1回路に対応し、複数のPMOSTランジスタ $T_{r1} \sim T_{rn}$ は本発明の複数の第2回路に対応し、PMOSTランジスタ T_{rn+1} は本発明の第3回路に対応する。

【0078】この第1のカレントミラー回路10dでは、電源端子11及び各PMOSTランジスタ $T_{r0} \sim T_{rn+1}$ は、物理的に図11に示す位置、つまり、PMOSTランジスタ T_{r0} が物理的に電源端子11に一番近い位置に配置され、PMOSTランジスタ T_{rn+1} が物理的に電源端子11から一番遠い位置に配置されている。

【0079】複数のPMOSTランジスタ $T_{r0} \sim T_{rn+1}$ の各々のゲートは相互に接続され、ソースは電源端子11から敷延された共通電源ライン16で共通に接続されている。この第1のカレントミラー回路10dの初段のPMOSTランジスタ T_{r0} のゲートはドレインに接続されている。

【0080】最終段のトランジスタ T_{rn+1} のドレインは第2のカレントミラー回路20dに接続されている。中間のPMOSTランジスタ $T_{r1} \sim T_{rn}$ のドレインは、出力端子O1～Onにそれぞれ接続されている。

【0081】第2のカレントミラー回路20dは、NチャンネルMOSトランジスタ（以下、「NMOSTランジスタ」という） T_{ra} とNMOSTランジスタ T_{rb}

とから構成されている。NMOSTランジスタTr aのゲートはドレインに接続されている。このNMOSTランジスタTr aのソースは接地端子14に接続されている。また、NMOSTランジスタTr bのゲートはNMOSTランジスタTr aのゲートに、ドレインは基準電流出力端子13にそれぞれ接続され、ソースは接地されている。

【0082】このNMOSTランジスタTr bには、NMOSTランジスタTr aと略同じ大きさの電流が流れる。この場合、NMOSTランジスタTr bに流れる電流の方向は、NMOSTランジスタTr aに流れる電流の方向と同じである。従って、NMOSTランジスタTr bは電流を吸い込むように作用するので、極性が反転するように変換される。

【0083】上記のように構成される駆動回路の動作は、PNPトランジスタ及びNPNトランジスタがPMOSTランジスタ及びNMOSTランジスタにそれぞれ代替されたことを除けば、実施の形態1に係る駆動回路の動作と同じである。この実施の形態5に係る駆動装置によっても、実施の形態1と同様の効果を奏する。

【0084】（実施の形態6）本発明の実施の形態6に係る駆動回路は、出力端子から電流を流入する電流吸い込み型のカレントミラー回路をMOSTランジスタで構成したものである。なお、以下では、実施の形態1に相当する部分には実施の形態1及び3と同じ符号を付して説明する。

【0085】図12は、本発明の実施の形態6に係る駆動回路の詳細な回路構成を示す図である。この駆動回路は、第1のカレントミラー回路10eと第2のカレントミラー20eとから構成されている。

【0086】第1のカレントミラー回路10eは、複数のNMOSTランジスタTr 0~Tr n+1から構成されている。NMOSTランジスタTr 0は本発明の第1回路に対応し、複数のNMOSTランジスタTr 1~Tr nは本発明の複数の第2回路に対応し、NMOSTランジスタTr n+1は本発明の第3回路に対応する。

【0087】この第1のカレントミラー回路10eでは、接地端子14及び各NMOSTランジスタTr 0~Tr n+1は、物理的に図12に示す位置、つまり、NMOSTランジスタTr 0が物理的に接地端子14に一番近い位置に配置され、NMOSTランジスタTr n+1が物理的に接地端子から一番遠い位置に配置されている。

【0088】複数のNMOSTランジスタTr 0~Tr n+1の各々のゲートは相互に接続され、ソースは接地端子14から敷延された共通接地ライン17で共通に接続されている。この第1のカレントミラー回路10eの初段のNMOSTランジスタTr 0のゲートはドレインに接続されている。

【0089】最終段のトランジスタTr n+1のドレイ

ンは第2のカレントミラー回路20eに接続されている。中間のNMOSTランジスタTr 1~Tr nのドレインは、出力端子O1~Onにそれぞれ接続されている。

【0090】第2のカレントミラー回路20bは、PMOSTランジスタTr aとPMOSTランジスタTr bとから構成されている。PMOSTランジスタTr aのゲートはドレインに接続されている。このPMOSTランジスタTr aのソースは電源端子11に接続されている。また、PMOSTランジスタTr bのゲートはPMOSTランジスタTr aのゲートに、ドレインは基準電流出力端子13にそれぞれ接続され、ソースは電源端子11に接続されている。

【0091】このPMOSTランジスタTr bには、PMOSTランジスタTr aと略同じ大きさの電流が流れる。この場合、PMOSTランジスタTr bに流れる電流の方向は、PMOSTランジスタTr aに流れる電流の方向と同じである。従って、PMOSTランジスタTr bは電流を吐き出すように作用するので、極性が反転するように変換される。

【0092】上記のように構成される駆動回路の動作は、PMOSTランジスタとNMOSTランジスタが入れ替わったことを除けば、実施の形態3に係る駆動回路の動作と同じである。

【0093】この実施の形態6に係る駆動回路によれば、電流を吐き出すタイプの発光素子を駆動できる。また、上述した実施の形態3と同様に、この駆動回路を複数使用して構成された定電流駆動装置をディスプレイパネルに適用した場合に、1つの駆動回路で駆動される発光素子と隣接する駆動回路で駆動される発光素子との境界における輝度差は殆どなく、高質な画像が得られる。

【0094】（実施の形態7）本発明の実施の形態7に係る駆動装置は、実施の形態1に係る駆動回路の第1のカレントミラー回路の電源端子の物理的な位置を変更したものである。

【0095】図13は、本発明の実施の形態7に係る駆動回路の構成を示すブロック図である。この駆動回路は、電源端子11が、NPNトランジスタTr 0とTr n+1とを結ぶ共通電源ライン16の物理的な中央部に設けられていることを除けば、実施の形態1のそれと同じである。ここで、中央部とは、PNPトランジスタTr 0とTr n+1との間を言い、より具体的には、これら両PNPトランジスタの略中央であることが好ましい。

【0096】この構成によれば、駆動回路の出力端子O1~Onから出力される出力電流は、中央の出力端子から出力される出力電流が最も大きく、出力端子O1側及び出力端子On側にいくに従って徐々に小さくなるといった山の形状になる。

【0097】従って、この実施の形態7に係る駆動回路

10

20

30

40

50

をN個用いて定電流駆動回路を構成すれば、各駆動回路の出力端子O1~Onから出力される出力電流は、図3(C)に示すように、山の形状が連なったようになる。

【0098】この構成によれば、隣接する駆動回路の境目の出力電流は略等しくなるので、この定電流駆動装置をディスプレイパネルに適用した場合に、実施の形態1の場合と同様に、高質な画像が得られる。しかも、第1の駆動回路からの出力電流と第Nの駆動回路からの出力電流との差は、実施の形態1に係る駆動回路をN個用いて定電流駆動装置を構成した場合に比べて小さくなるので、この定電流駆動装置をディスプレイパネルに適用した場合に、画面の一方の端部の輝度と他方の端部の輝度との差が小さくなり、高質な画像が得られる。

【0099】なお、実施の形態5に係る駆動回路においても、電源端子11を共通電源ライン16の中央部から引き出すように構成できる。また、実施の形態3及び4においては、接地端子14を共通接地ライン17の中央部から引き出すように構成できる。これらの場合も、上記と同様の効果を奏する。

【0100】図14は、本発明の実施の形態7に係る駆動回路の変形例の構成を示すブロック図である。この駆動回路は、電源端子11が、NPNトランジスタTr0とTrn+1とを結ぶ共通電源ライン16の複数箇所から引き出されていることを除けば、実施の形態1のそれと同じである。この場合、共通電源ライン16をm個(mは3以上の整数)に分割し、各分割点からm-1個の配線を引き出して電源端子11に接続するように構成できる。図14は、m=3の場合の例を示している。なお、共通電源ライン16をm個に分割する際は、m個の分割片のうちの両端の分割片の長さが両端以外の分割片の長さの半分以上になるように分割することが好ましい。例えば、図14に示したm=3の例では、共通電源ライン16を1:2:1の割合で分割することが好ましい。しかし、必ずしも上記のように分割する必要はない。

【0101】この構成によれば、駆動回路の出力端子O1~Onから出力される出力電流は、複数の分割点に位置する出力端子から出力される出力電流を山頂とする複数の山が連なった形状になる。

【0102】従って、この実施の形態7に係る駆動回路をN個用いて定電流駆動回路を構成すれば、各駆動回路の出力端子O1~Onから出力される複数の山の形状を有する出力電流が、複数連なった形状になる。

【0103】この構成によれば、隣接する駆動回路の境目の出力電流は略等しくなるので、この定電流駆動装置をディスプレイパネルに適用した場合に、実施の形態1の場合と同様に、高質な画像が得られる。しかも、第1の駆動回路からの出力電流と第Nの駆動回路からの出力電流との差は、上述した共通電源ライン16の中央部といった1箇所からのみ引き出される場合に比べて、更に小さくなるので、この定電流駆動装置をディスプレイパ

ネルに適用した場合に、画面の一方の端部の輝度と他方の端部の輝度との差が更に小さくなり、高質な画像が得られる。

【0104】なお、実施の形態5に係る駆動回路においても、電源端子11を共通電源ライン16の複数箇所から引き出すように構成できる。また、実施の形態3及び4において、接地端子14を共通接地ライン17の複数箇所から引き出すように構成できる。これらの場合も、上記変形例と同様の効果を奏する。

10 【0105】以上説明したように、この実施の形態1~7に係る駆動回路によれば、前段の駆動回路の最終段の出力電流を、次段の駆動回路を構成するカレントミラー回路の入力電流とするため、複数の駆動回路を接続しても、駆動回路の境目における電流バラツキを低減させることができ、この駆動回路を半導体集積回路で構成した場合、コスト低減が可能になる。

【0106】また、本願を有機ELなどの表示装置に使用した場合、駆動回路の境目で出力電流のバラツキによる輝度のバラツキが抑えられるので、良質の画像を提供できる。

【0107】

【発明の効果】以上詳述したように、本発明によれば、隣接する駆動回路間での出力電流のバラツキを小さくできる安価な定電流駆動回路を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る駆動回路の構成を示すブロック図である。

【図2】本発明の実施の形態1に係る駆動回路の構成を示す回路図である。

30 【図3】本発明の実施の形態1に係る駆動回路を用いた定電流駆動装置の構成を示す図である。

【図4】本発明の実施の形態2に係る駆動回路の構成を示す回路図である。

【図5】本発明の実施の形態2に係る駆動回路の第1の変形例を示す回路図である。

【図6】本発明の実施の形態2に係る駆動回路の第2の変形例を示す回路図である。

【図7】本発明の実施の形態3に係る駆動回路の構成を示す回路図である。

40 【図8】本発明の実施の形態4に係る駆動回路の構成を示す回路図である。

【図9】本発明の実施の形態4に係る駆動回路の第1の変形例を示す回路図である。

【図10】本発明の実施の形態4に係る駆動回路の第2の変形例を示す回路図である。

【図11】本発明の実施の形態5に係る駆動回路の構成を示す回路図である。

【図12】本発明の実施の形態6に係る駆動回路の構成を示す回路図である。

50 【図13】本発明の実施の形態7に係る駆動回路の構成

17

を示す回路図である。

【図14】本発明の実施の形態7に係る駆動回路の変形例の構成を示す回路図である。

【図15】従来のカレントミラー回路を用いた駆動回路の構成を示す回路図である。

【図16】図15に示す駆動回路の動作を説明するための図である。

【図17】図15に示す駆動回路を用いた定電流駆動装置の動作を説明するための図である。

【符号の説明】

1₁～1_n 駆動回路

10、10a、10b、10c、10d、10e、10*

18

* f、10g 第1のカレントミラー回路

11 電源端子

12 基準電流入力端子

13 基準で出力端子

14 接地端子

15 第2電源端子

16 共通電源ライン

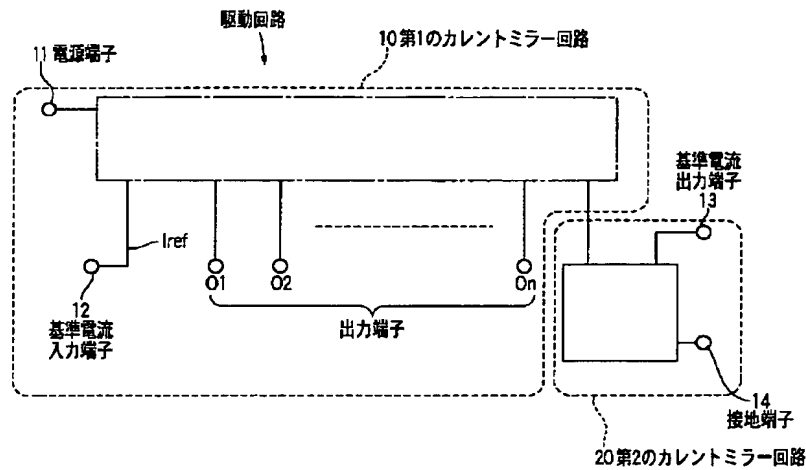
17 共通接地ライン

20、20a、20b、20c、20d、20e 第2

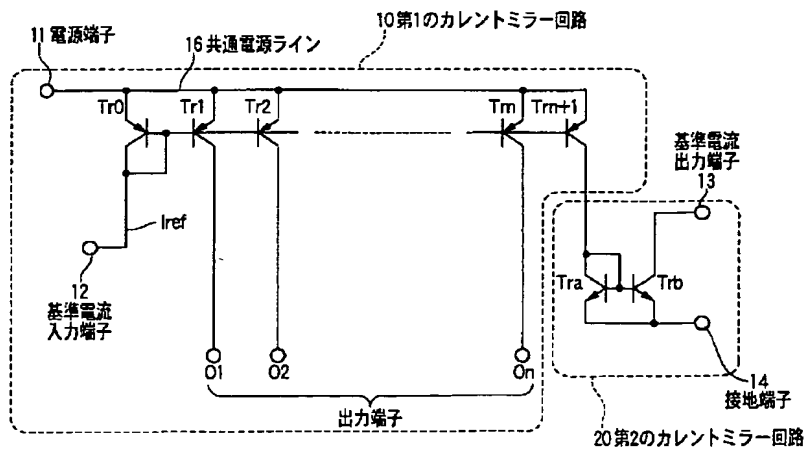
10のカレントミラー回路

R 基準電流設定抵抗

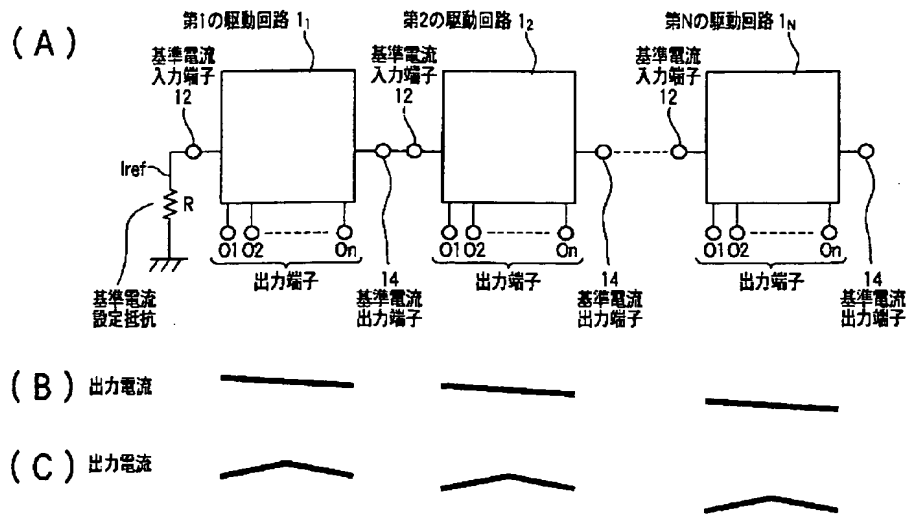
【図1】



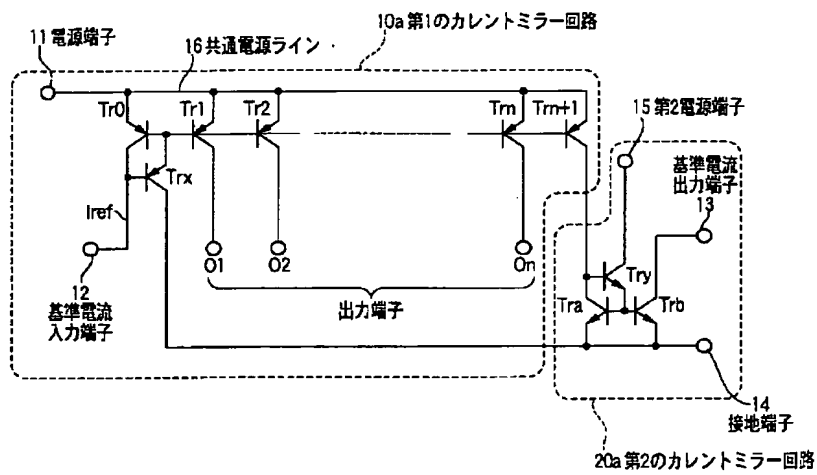
【図2】



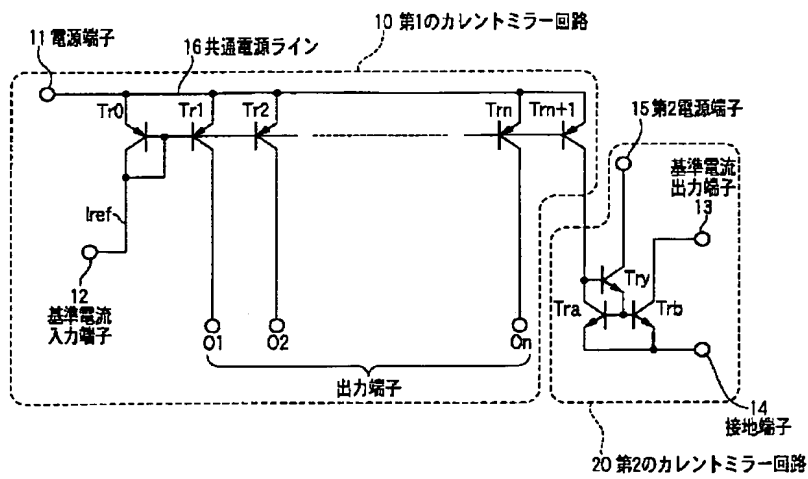
【図3】



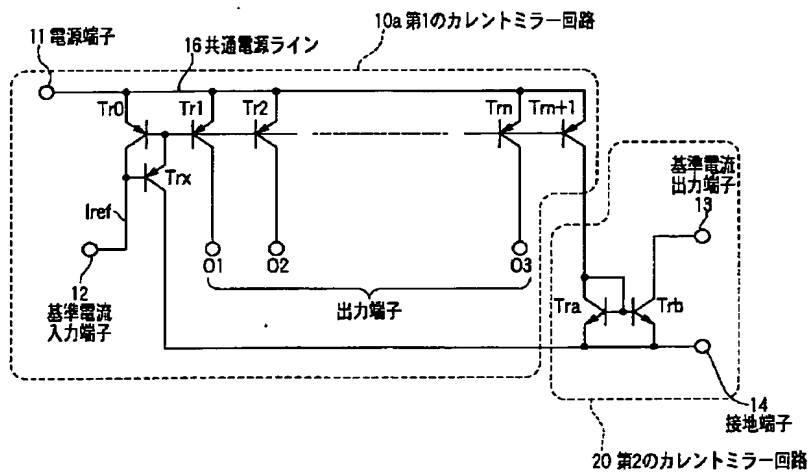
【図4】



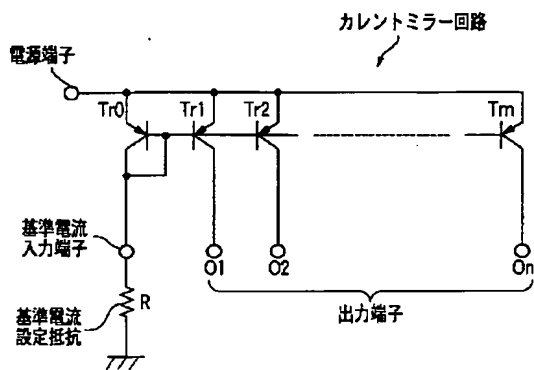
【図5】



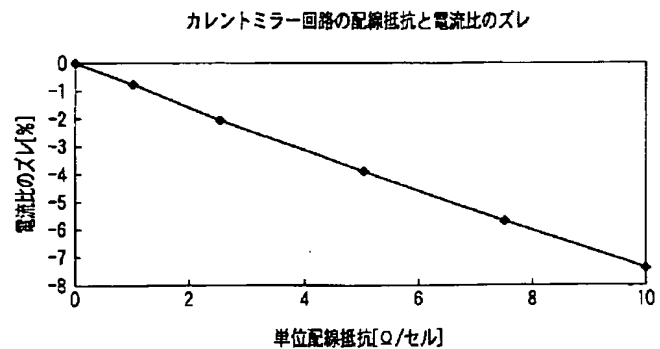
【図6】



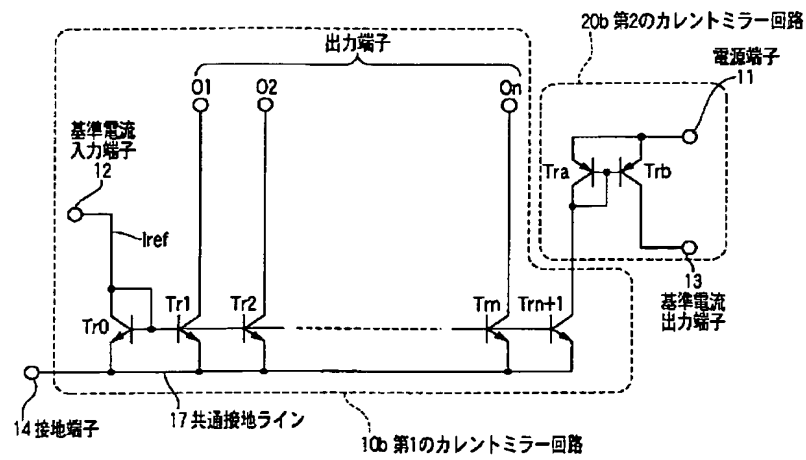
【図15】



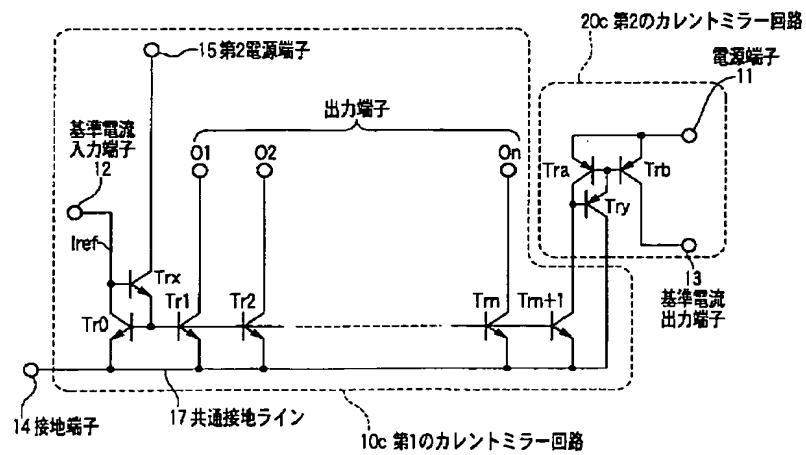
【図16】



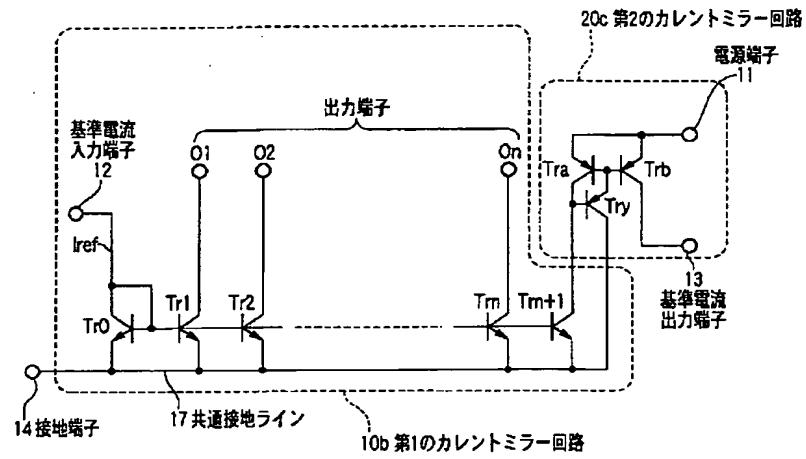
【図7】



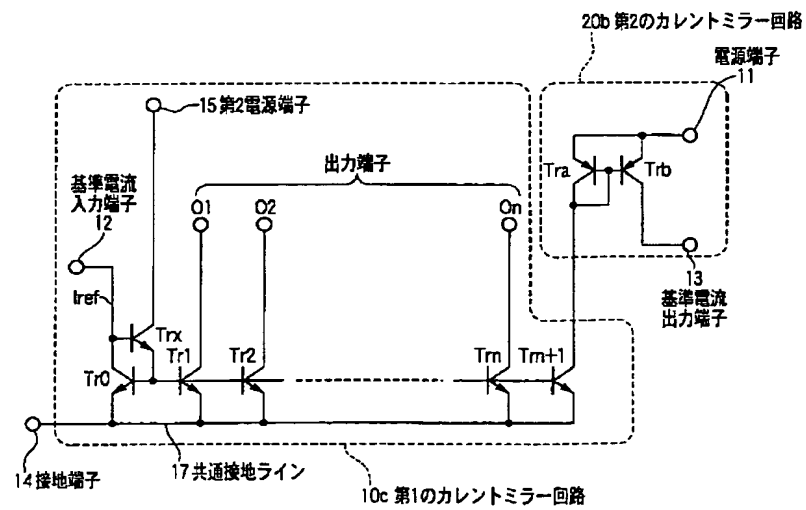
【図8】



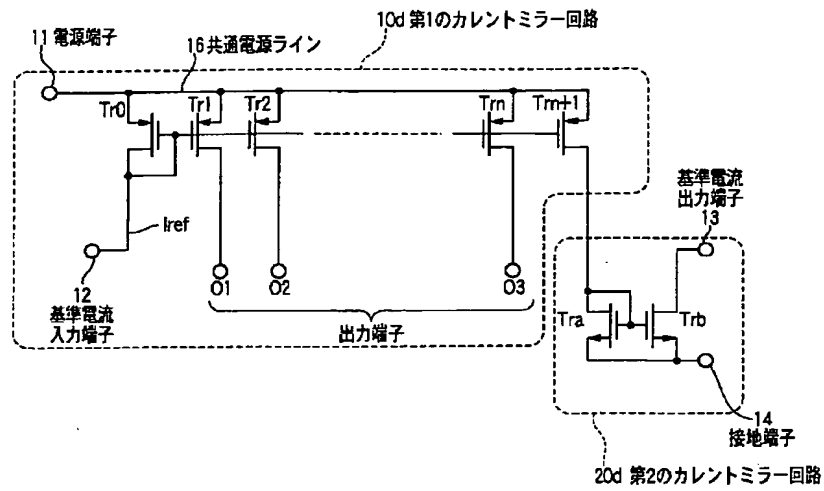
【図9】



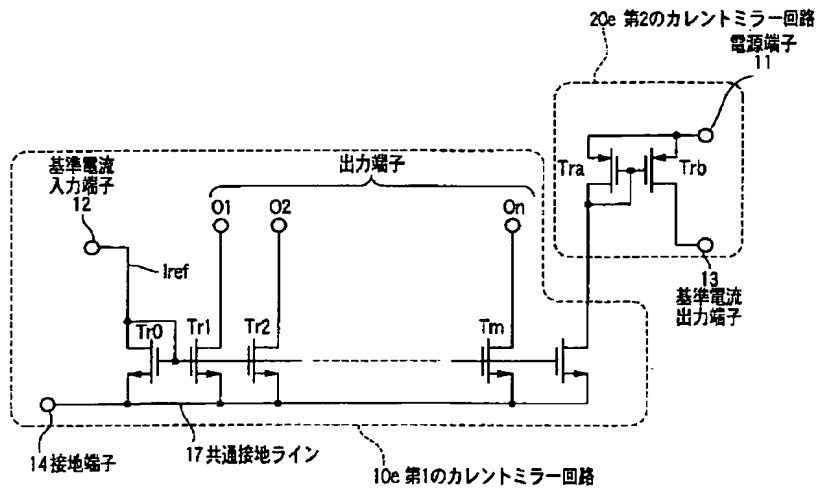
【図10】



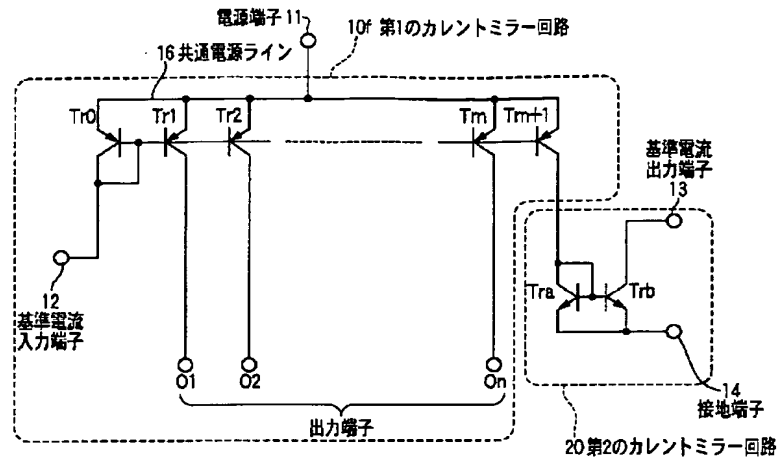
【図11】



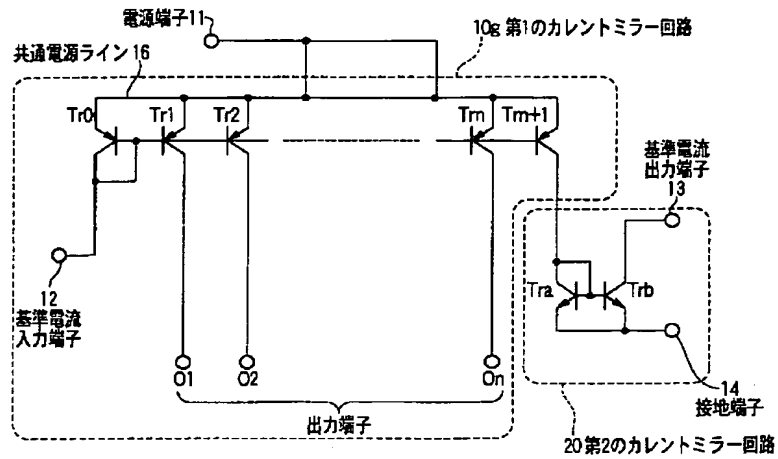
【図12】



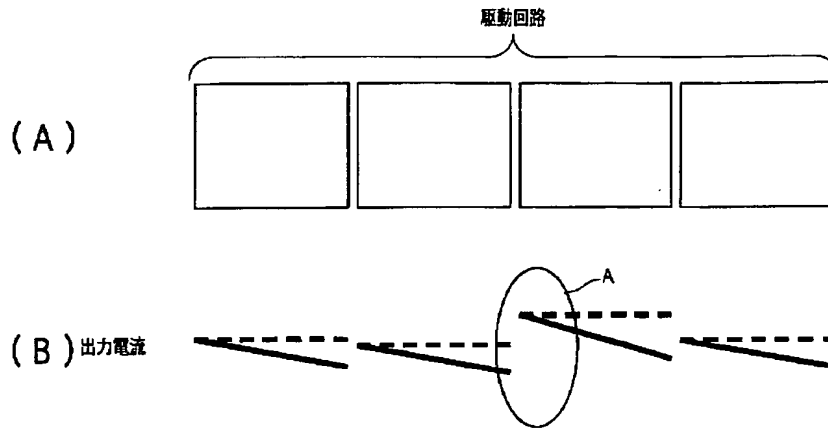
【図13】



【図14】



【図17】



【手続補正書】

【提出日】平成13年12月17日(2001. 12. 17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】この第1の駆動回路1₁の基準電流出力端子13は、次段の第2の駆動回路1₂の基準電流入力端子12に接続されている。以下、同様に、各駆動回路が順次接続され、最終段の第Nの駆動回路1_Nの基準電流出力端子13は無接続である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】以上のように構成される定電流駆動装置においては、例えば第1の駆動回路1₁の出力端子Onから吐き出される電流の大きさと基準電流出力端子13から吸い込む電流の大きさは略等しく、且つ、第2の駆動回路1₂の基準電流入力端子12から吐き出される電流の大きさと出力端子O1から吐き出される電流の大きさは略等しい。従って、第1の駆動回路1₁の出力端子Onから吐き出される出力電流の大きさと第2の駆動回路1₂の出力端子O1から吐き出される出力電流の

大きさは略等しくなる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

1₁～1_N 駆動回路

10、10a、10b、10c、10d、10e、10f、10g 第1のカレントミラー回路

11 電源端子

12 基準電流入力端子

13 基準電流出力端子

14 接地端子

15 第2電源端子

16 共通電源ライン

17 共通接地ライン

20、20a、20b、20c、20d、20e 第2のカレントミラー回路

R 基準電流設定抵抗

【手続補正4】

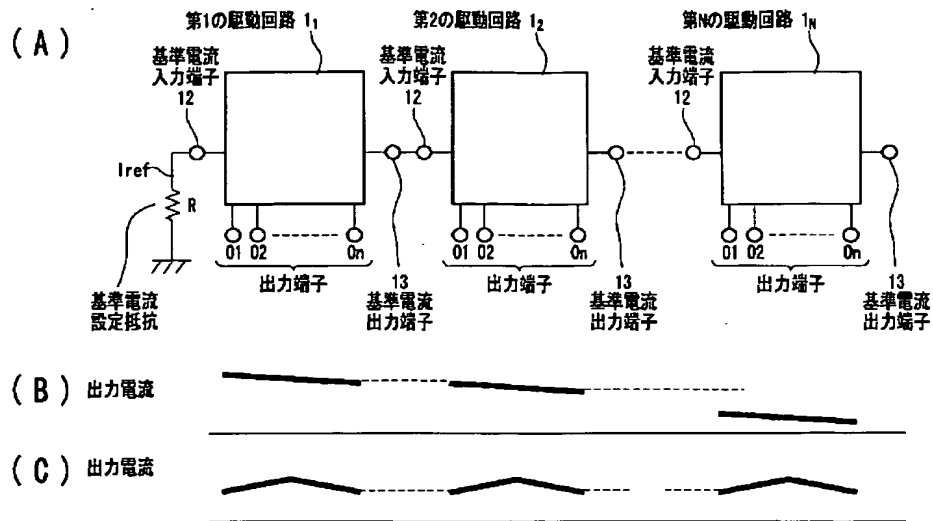
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正5】

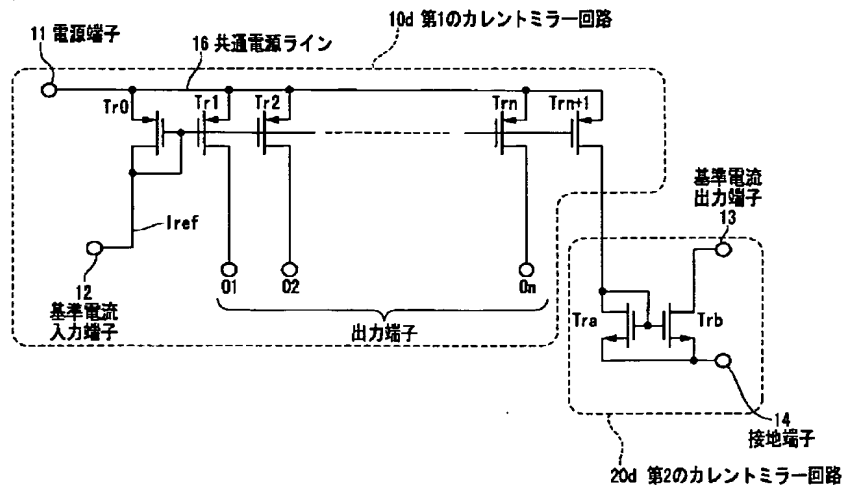
【補正対象書類名】図面

【補正対象項目名】図11

*【補正方法】変更

【補正内容】

*【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.